

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Tetsuya KATO

Application No.: 10/603,741

Filed: June 26, 2003

For: IMAGE READING APPARATUS



Group Art Unit: Unknown

Examiner: Unknown

Docket No.: 116372

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

JP 2002-190107, filed June 28, 2002 in Japan

In support of this claim, a certified copy of said original foreign application:

XX is filed herewith.

 was filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Thomas J. Pardini
Registration No. 30,411

JAO:TJP/jam

Date: August 18, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 6 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 1 9 0 1 0 7
Application Number:

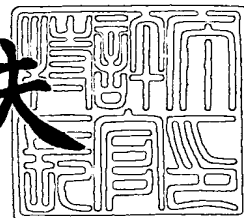
[ST. 10/C]: [J P 2 0 0 2 - 1 9 0 1 0 7]

出 願 人 ブラザー工業株式会社
Applicant(s):

2 0 0 3 年 7 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 PBR01989

【提出日】 平成14年 6月28日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/18
H04N 1/00

【発明者】

【住所又は居所】 愛知県名古屋市瑞穂区苗代町 1 5 番 1 号 ブラザー工業株式会社内

【氏名】 加藤 哲也

【特許出願人】

【識別番号】 000005267

【氏名又は名称】 ブラザー工業株式会社

【代理人】

【識別番号】 100082500

【弁理士】

【氏名又は名称】 足立 勉

【電話番号】 052-231-7835

【選任した代理人】

【識別番号】 100109195

【弁理士】

【氏名又は名称】 武藤 勝典

【手数料の表示】

【予納台帳番号】 007102

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006582

【包括委任状番号】 0018483

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像読取装置

【特許請求の範囲】

【請求項 1】 主走査方向に配列された複数の受光素子を備える第一のセンサと、

主走査方向に配列され、前記第一のセンサから副走査方向に所定間隔離れた位置であって、該第一のセンサを構成する各受光素子の間に受光位置が設定された複数の受光素子を備える第二のセンサと、

前記第一のセンサを構成する前記各受光素子から得た受光信号の夫々を、該受光素子の配列順に出力する第一のシフトレジスタと、

前記第二のセンサを構成する前記受光素子の内、偶数番目に配置された各受光素子から得た受光信号の夫々を、該受光素子の配列順に出力する第二のシフトレジスタと、

前記第二のセンサを構成する前記受光素子の内、奇数番目に配置された各受光素子から得た受光信号の夫々を、該受光素子の配列順に出力する第三のシフトレジスタと、

を備えるモノクロイメージセンサを用いて、画像を読み取る画像読取装置であって、

アナログ入力信号に対して利得調整可能なチャンネル毎のアナログアンプと、該アナログ入力信号をデジタル信号に変換して出力するアナログデジタル変換器と、前記各アナログアンプにより増幅されたアナログ入力信号を、順次該アナログデジタル変換器に入力するマルチプレクサと、が内蔵された三以上の前記チャンネルを備えるアナログフロントエンド IC、を備え、

前記第一及び第二及び第三のシフトレジスタの夫々から出力される各受光信号を、前記アナログ入力信号として、前記各シフトレジスタに対応するチャンネルの前記アナログアンプに入力する構成にされていることを特徴とする画像読取装置。

【請求項 2】 前記モノクロイメージセンサに加えて、赤及び緑及び青色の受光信号を出力するカラー画像読取可能なカラーイメージセンサ、を備え、該カラ

ーイメージセンサ動作時には、前記モノクロイメージセンサから出力される前記各受光信号に替えて、該カラーイメージセンサから出力される前記各色の受光信号を、前記アナログ入力信号として、前記アナログフロントエンドIC内の各色に対応するチャンネルの前記アナログアンプに入力する構成にされていることを特徴とする請求項1に記載の画像読取装置。

【請求項3】 前記モノクロイメージセンサ及び前記カラーイメージセンサの夫々の動作時において、前記アナログアンプの利得調整を行う利得変更手段、を備えていることを特徴とする請求項2に記載の画像読取装置。

【請求項4】 前記利得変更手段は、前記モノクロイメージセンサの動作時に、前記アナログアンプの一つに対して利得調整を行った後、該アナログアンプと同一の利得を、他の前記アナログアンプに対して設定することを特徴とする請求項3に記載の画像読取装置。

【請求項5】 前記モノクロイメージセンサの動作時には、前記各アナログアンプの利得を、予め定められたモノクロ用の利得に設定すると共に、前記カラーイメージセンサの動作時には、前記各アナログアンプの利得を、予め定められたカラー用の利得に設定する利得変更手段、を備えていることを特徴とする請求項2に記載の画像読取装置。

【請求項6】 前記利得変更手段は、前記モノクロイメージセンサの動作時に、前記モノクロ用の利得として、全ての前記アナログアンプの利得を、予め定められた共通の利得に設定することを特徴とする請求項5に記載の画像読取装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、モノクロイメージセンサを用いて、画像を読み取る画像読取装置に関する。

【0002】

【従来の技術】

従来より、画像読取装置としては、モノクロイメージセンサを用いて、原稿から画像を読み取りモノクロ画像データを生成する画像読取装置や、カラーイメー

ジセンサを用いて、原稿から画像を読み取りカラー画像データを生成する画像読取装置、などが知られている。これらの画像読取装置は、例えば、コピー機、ファクシミリ装置、スキャナ装置などに組み込まれている。

【0003】

また、上記画像読取装置としては、ユーザの操作により操作部から入力された指令信号に従って、低解像度の画像データを出力するための低解像度モード、高解像度の画像データを出力するための高解像度モード、のいずれか一方を切り替え、動作させるものが知られている。

【0004】

複数モードを有する従来装置としては、例えば、イメージセンサから高解像度の画像データを得て、その高解像度の画像データを構成する各画素データを間引きし、低解像度の画像データを生成する装置が知られている。

この他、主走査方向に複数の受光素子を備えるセンサと、そのセンサを構成する受光素子の内、偶数番目に配置された受光素子から得た受光信号の夫々を出力するシフトレジスタと、奇数番目に配置された受光素子から得た受光信号の夫々を出力するシフトレジスタと、からなるイメージセンサを備え、高解像度モードの場合には、両シフトレジスタからの出力信号を用いて高解像度の画像データを生成し、低解像度モードの場合には、一方のシフトレジスタからの出力信号を用いて低解像度（具体的には、高解像度モードの半分の解像度）の画像データを生成する画像読取装置が知られている。

【0005】

【発明が解決しようとする課題】

ところで、画素データの間引きにより低解像度化する前者の上記従来装置においては、低解像度モードであってもイメージセンサによる画像の読み取り速度が向上しないため、低解像度化によるメリットを十分に享受できないといった問題があった。また二つのシフトレジスタを備える後者の画像読取装置では、低解像度モードで処理速度を効果的に向上させることができる一方で、二つの解像度しか選択できないため、解像度について多くの設定自由度を求めるユーザのニーズに十分応えられないといった問題があった。

【0006】

本発明者らは、こうした問題に鑑み、後者の画像読取装置に対し、上記センサとは副走査方向に所定間隔離れた位置であって上記センサの各受光素子の間に受光位置が設定された複数の受光素子を備えるセンサと、そのセンサを構成する各受光素子から得た信号の夫々を出力するシフトレジスタと、を新たに設けることを考案した。

【0007】

このような画像読取装置においては、二つのセンサと三つのシフトレジスタとを組み合わせることにより、解像度を三段階に切り替えることができ、更には、解像度に応じて画像の処理速度が向上するので便利である。

例えば、上記画像読取装置においては、各センサが主走査方向に600 dpiの解像度で読み取り可能にされている場合に、三つのシフトレジスタから得られる信号を全て用いることで1200 dpiの画像データを生成することができ、追加した後者のシフトレジスタから得られる信号を用いることにより、600 dpiの画像データを生成することができ、上記偶数番目（若しくは奇数番目）に配置された各受光素子の受光信号を出力するシフトレジスタから得られる信号を用いることにより、300 dpiの画像データを生成することができる。

【0008】

しかしながら、上記構成の画像読取装置では、シフトレジスタから得たアナログの受光信号をデジタル信号としての画素データに変換するまでに必要な回路が増加し、回路の設置場所等に制限を受けることから、結果的に、回路内の配線の長さが増加して、外来ノイズによる影響を受けやすくなってしまうといった欠点があった。

【0009】

本発明は、こうした問題に鑑みなされたものであり、三つのシフトレジスタを備えるモノクロイメージセンサを用いて画像を読み取る画像読取装置において、装置の製造コストを抑えると共に、外来ノイズによる装置への影響を抑えることを目的とする。

【0010】

【課題を解決するための手段】

かかる目的を達成するためになされた請求項 1 に記載の画像読取装置は、主走査方向に配列された複数の受光素子を備える第一のセンサと、主走査方向に配列され、第一のセンサから副走査方向に所定間隔離れた位置であって、第一のセンサを構成する各受光素子の間に受光位置が設定された複数の受光素子を備える第二のセンサと、第一のセンサを構成する各受光素子から得た受光信号の夫々を、受光素子の配列順に出力する第一のシフトレジスタと、第二のセンサを構成する受光素子の内、偶数番目に配置された各受光素子から得た受光信号の夫々を、受光素子の配列順に出力する第二のシフトレジスタと、第二のセンサを構成する受光素子の内、奇数番目に配置された各受光素子から得た受光信号の夫々を、受光素子の配列順に出力する第三のシフトレジスタと、を備えるモノクロイメージセンサを用いて、画像を読み取る。

【0011】

この画像読取装置は、アナログ入力信号に対して利得調整可能なチャンネル毎のアナログアンプと、アナログ入力信号をデジタル信号に変換して出力するアナログデジタル変換器と、各アナログアンプにより増幅されたアナログ入力信号を、順次アナログデジタル変換器に入力するマルチプレクサと、が内蔵された三以上のチャンネルを備えるアナログフロントエンド IC、を備え、上記第一及び第二及び第三のシフトレジスタの夫々から出力される各受光信号を、上記アナログ入力信号として、各シフトレジスタに対応するチャンネルのアナログアンプに入力する。

【0012】

一般的な画像読取装置ではシフトレジスタから出力されるアナログの受光信号を、画像処理のためにデジタル信号に変換しなければならないため、シフトレジスタが増加すると、それに対応してアナログデジタル変換器が増加し、回路が複雑化し、製品のコストアップを招くことになる。

【0013】

これに対し、請求項 1 に記載の画像読取装置においては、上記構成のアナログフロントエンド IC により、モノクロイメージセンサから出力される各受光信号

を画素データに変換することができるので、アナログの受光信号をデジタル信号に変換するまでの回路構成を簡略化することができる。従って、請求項 1 に記載の画像読取装置によれば、製品のコストアップを抑制することができる。また、回路の設置場所等の自由度が向上するので、製品を小型化することができる。

【0014】

この他、請求項 1 に記載の画像読取装置によれば、アナログフロントエンド IC を用いることにより、回路の配線長さを抑制することができるので、外来ノイズに対する装置の耐性を向上させることができる。この結果、外来ノイズによって装置に及ぶ影響を抑制することができる。

【0015】

尚、上記アナログフロントエンド IC は、アナログ入力信号に対してオフセット電圧を付加するオフセット付加回路をチャンネル毎に内蔵するものであってもよい。

オフセット付加回路を内蔵するアナログフロントエンド IC を設けて、第一及び第二及び第三のシフトレジスタの夫々から出力される各受光信号を、上記アナログ入力信号として、各シフトレジスタに対応するチャンネルのオフセット付加回路に入力すると共に、該オフセット付加回路から出力されるオフセット電圧付加後のアナログ入力信号を、アナログアンプに入力するように画像読取装置を構成すれば、一層画像読取装置内の回路構成を簡素化することができて、製品のコストアップを抑制することができる。また、外来ノイズによる装置への悪影響を抑制することができる。

【0016】

この他、モノクロイメージセンサに加えて、赤及び緑及び青色の受光信号を出力するカラー画像読取可能なカラーイメージセンサ、を画像読取装置に設ける場合には、カラーイメージセンサに対応するアナログフロントエンド IC を上記アナログフロントエンド IC とは別個に設けずに、請求項 2 に記載のように画像読取装置を構成すると良い。

【0017】

請求項 2 に記載の画像読取装置は、カラーイメージセンサ動作時に、モノクロ

イメージセンサから出力される各受光信号に替えて、カラーイメージセンサから出力される各色の受光信号を、上記アナログ入力信号として、上記アナログフロントエンド IC 内の各色に対応するチャンネルのアナログアンプに入力する構成にされている。

【0018】

請求項 2 に記載の画像読取装置では、アナログフロントエンド IC を、カラーイメージセンサ及びモノクロイメージセンサに対し、共通して一つ設けているので、装置内の回路構成を簡単にすることができるし、配線長さを短くすることができる。したがって、外来ノイズに対する装置の耐性を向上させることができる。この他、請求項 2 に記載の画像読取装置では、部品点数の増加を抑制することができるので、製品を安価に製造することができる。

【0019】

尚、アナログフロントエンド IC をカラーイメージセンサ及びモノクロイメージセンサに対して共有化すると、カラーイメージセンサ及びモノクロイメージセンサの夫々から出力される受光信号に対し、それらをアナログアンプで最適に増幅することができなくなる可能性がある。

【0020】

したがって、上記画像読取装置には、請求項 3 に記載のように、モノクロイメージセンサ及びカラーイメージセンサの夫々の動作時において、アナログアンプの利得調整を行う利得変更手段、を設けるのが良い。

利得変更手段を備える請求項 3 に記載の画像読取装置によれば、各イメージセンサの動作時に、そのイメージセンサの出力に適した利得をアナログアンプに設定することができる。この結果、各イメージセンサからの受光信号をアナログアンプで適切に増幅することができ、画像読取の精度を高めることができる。

【0021】

尚、上記オフセット付加回路を内蔵するアナログフロントエンド IC を用いて、画像読取装置を構成する場合には、モノクロイメージセンサ及びカラーイメージセンサの夫々の動作時において、オフセット付加回路にて付加するオフセット電圧を調整するオフセット変更手段を設けると便利である。このようにオフセッ

ト変更手段を設けると、各イメージセンサからの受光信号をアナログアンプで適切に増幅することができ、結果、画像読取の精度を高めることができる。

【0022】

また、モノクロイメージセンサ動作時には、各チャネルのアナログアンプに対して夫々の利得を調整するメリットが少ないことから、請求項3に記載の画像読取装置においては、請求項4に記載のように利得変更手段を構成すると良い。

請求項4に記載の画像読取装置においては、利得変更手段が、モノクロイメージセンサの動作時に、上記アナログアンプの一つに対して利得調整を行った後、そのアナログアンプと同一の利得を、他のアナログアンプに対して設定する構成にされているから、モノクロイメージセンサ動作時の利得調整を高速に行うことができる。

【0023】

この他、請求項2に記載の画像読取装置には、請求項5に記載の利得変更手段を設けてもよい。請求項5に記載の画像読取装置は、モノクロイメージセンサの動作時には、各アナログアンプの利得を、予め定められたモノクロ用の利得に設定すると共に、カラーイメージセンサの動作時には、各アナログアンプの利得を、予め定められたカラー用の利得に設定する利得変更手段、を備えている。

【0024】

このように構成された請求項5に記載の画像読取装置によれば、予めモノクロ用の利得とカラー用の利得が定められているから、モノクロイメージセンサ及びカラーイメージセンサの夫々に対して適切な利得を設定することができる。更には、画像読取の度に利得調整するよりも高速に利得を変更することができる。

【0025】

尚、モノクロイメージセンサ動作時には、各チャネルのアナログアンプに対して夫々の利得を調整するメリットが少ないことから、請求項5に記載の画像読取装置においては、請求項6に記載のように、利得変更手段を構成するのが良い。

請求項6に記載の画像読取装置における利得変更手段は、モノクロイメージセンサの動作時に、上記モノクロ用の利得として、全てのアナログアンプの利得を、予め定められた共通の利得に設定する。このように構成された請求項6に記載

の画像読取装置によれば、モノクロ用の利得設定を高速に行うことができる。

【0026】

尚、アナログフロントエンドICが、上記オフセット付加回路をチャンネル毎に内蔵するものである場合には、モノクロイメージセンサの動作時に、各オフセット付加回路により付加するオフセット電圧を、予め定められたモノクロ用のオフセット電圧に設定すると共に、カラーイメージセンサの動作時に、各オフセット付加回路により付加するオフセット電圧を、予め定められたカラー用のオフセット電圧に設定するオフセット変更手段を設けると良い。このようにすれば、画像読取の精度を高めることができる。

【0027】

【発明の実施の形態】

以下に本発明の実施例について、図面とともに説明する。図1は、本発明が適用された画像読取装置1の内部構成を表すブロック図である。

本実施例の画像読取装置1は、CCD (Charge Coupled Device) イメージセンサ3と、アナログフロントエンド (AFE) IC5と、を備えており、CCDイメージセンサ3を用いて原稿から画像を読み取り、その画像読取の際にCCDイメージセンサ3の各チャンネル (CH1, CH2, CH3) から出力される画素信号を、アナログフロントエンドIC5に入力する。

【0028】

この画像読取装置1は、アナログフロントエンドIC5内のマルチプレクサ (MUX) 7を用いて、CCDイメージセンサ3から得た各チャンネルの画素信号を順次アナログデジタル変換器 (ADC) 9に入力することにより、各チャンネルの画素信号を順次デジタル信号としての画素データに変換し、その画素データをアナログフロントエンドIC5からシリアルデータ列でASIC10内のデータサンプリング制御部11に入力する。

【0029】

ASIC10には、上記データサンプリング制御部11の他、当該画像読取装置1を統括制御するためのCPU13や、メモリ制御部15、クロック生成部17、CCD制御部19、AFE制御部21、などが内蔵されている。また、AS

IC10 外部には、画素データを記憶しておくためのメモリ 23（具体的には、RAM）と、当該画像読取装置 1 の各種設定情報を記憶しておくための EPROM 24 と、が設けられている。

【0030】

データサンプリング制御部 11 は、アナログフロントエンド IC5 から出力された画素データの内、メモリ 23 に記憶させる必要のない画素データを除去しつつ、残りの画素データをメモリ制御部 15 に入力する構成にされている。

メモリ制御部 15 は、画素データの書込制御と、画素データの読取制御を行う構成にされており、データサンプリング制御部 11 から入力される画素データを順次メモリ 23 の所定領域に書き込むと共に、CPU 13 からの指令に従って、メモリ 23 に記憶されている画素データを読み出し、その画素データを外部の画像形成装置 25 に向けて出力する。この他、クロック生成部 17 は、CCD イメージセンサ 3 やアナログフロントエンド IC5、ASIC 10 内の各部を、同期して動作させるためのクロック信号を生成する。

【0031】

CCD 制御部 19 は、CCD イメージセンサ 3 の動作モードを切り替えたり、クロック生成部 17 から得たクロック信号に従って、CCD イメージセンサ 3 を駆動制御する構成にされている。

図 2 は、CCD イメージセンサ 3 の内部構成を表す説明図である。本実施例の CCD イメージセンサ 3 は、カラー CCD イメージセンサ 27 及びモノクロ CCD イメージセンサ 30 を内蔵している。この CCD イメージセンサ 3 は、FET 及びノット回路からなる切替回路 29 を備えており、CCD 制御部 19 からの切替信号に従って、切替回路 29 を構成する FET のオン／オフを切り替え、モノクロ CCD イメージセンサ 30 又はカラー CCD イメージセンサ 27 の各チャネル（CH1，CH2，CH3）から出力される画素信号をアナログフロントエンド IC5 に入力する。

【0032】

カラー CCD イメージセンサ 27 は、周知のカラー CCD イメージセンサと同様にカラー画像読取可能な構成にされており、赤（R）及び緑（G）及び青（B

)の各色の画素信号を、対応するチャンネル(CH1, CH2, CH3)から出力して、アナログフロントエンドIC5に入力する。例えば、赤色の画素信号は第一チャンネル(CH1)から出力され、緑色の画素信号は第二チャンネル(CH2)から出力され、青色の画素信号は第三チャンネル(CH3)から出力され、アナログフロントエンドIC5の対応するチャンネルに入力される。

【0033】

一方モノクロCCDイメージセンサ30は、図3に示す構成となっている。尚、図3は、モノクロCCDイメージセンサ30の概略構成を表す説明図である。

モノクロCCDイメージセンサ30は、第一センサ31及び第二センサ33と、第一シフトレジスタ35及び第二シフトレジスタ36及び第三シフトレジスタ37と、を備えている。第一センサ31は、主走査方向に配列された複数の受光素子32(具体的には、フォトダイオード)を備えている。一方、第二センサ33は、主走査方向に配列された複数の受光素子34a, 34b(具体的には、フォトダイオード)を備え、第一センサ31から副走査方向に所定間隔離れて平行配置されている。

【0034】

尚、第二センサ33を構成する各受光素子34a, 34bは、第一センサ31から副走査方向に所定間隔(例えば6ライン分)離れた位置であって、第一センサ31を構成する各受光素子32に対し半画素だけずれた位置に、受光位置が設定されている。つまり、第一センサ31及び第二センサ33の上記配置により、モノクロCCDイメージセンサ30内の受光素子32, 34a, 34bは互いに半画素だけずれて配置され、所謂千鳥配列とされている。この配置により、図3に示す各画素番号の順に画素信号をメモリ23に書き込むことにより、擬似的に主走査方向の解像度を向上させることができる。

【0035】

一方、第一シフトレジスタ35は、図示しないシフトゲートを介して、第一センサ31を構成する各受光素子32が受光結果として出力する画素信号の夫々を取得し、その画素信号の夫々を、受光素子32の配列順に出力する構成にされている。また、第二シフトレジスタ36は、図示しないシフトゲートを介して、第

二センサ 33 を構成する受光素子 34 a, 34 b の内、偶数番目に配置された各受光素子 34 a から画素信号を取得し、その画素信号の夫々を、受光素子 34 a の配列順に出力する構成にされている。この他、第三シフトレジスタ 37 は、図示しないシフトゲートを介して、第二センサ 33 を構成する受光素子 34 a, 34 b の内、奇数番目に配置された各受光素子 34 b から画素信号を取得し、その画素信号の夫々を、受光素子 34 b の配列順に出力する構成にされている。

【0036】

即ち、モノクロ CCD イメージセンサ 30 においては、第一シフトレジスタ 35 に接続された第一チャネル (CH1) から、主走査方向における偶数番目の画素に対応する画素信号が出力され、第二シフトレジスタ 36 に接続された第二チャネル (CH2) から、主走査方向における $(4m-1)$ 番目の画素 (ただし、 m は 1 以上の自然数) に対応する画素信号が出力され、第三シフトレジスタ 37 に接続された第三チャネル (CH3) から、主走査方向における $(4m-3)$ 番目の画素 (ただし、 m は 1 以上の自然数) に対応する画素信号が出力される。尚、図示しないが、上記各シフトレジスタ 35, 36, 37 の出力端には、シフトレジスタ 35, 36, 37 が画素信号として出力する信号電荷をアナログ電圧に変換する周知の変換回路が備えられている。

【0037】

図 4 は、上記 CCD イメージセンサ 3 の駆動制御を行う CCD 制御部 19 を介して CPU 13 が実行する読取制御処理を表すフローチャートである。CCD 制御部 19 は、CPU 13 から読取制御信号が入力されると、その制御信号に従って読取制御処理を実行し、以下に説明するように CCD イメージセンサ 3 を操作し、原稿から画像を読み取る。

【0038】

CPU 13 は、図示しない操作パネルあるいは外部装置などから読取指令信号が入力されると、まず読取指令信号と共に送信されてきたモード選択情報に従い、今回の画像読取モードが、モノクロ読取モードであるか、それともカラー読取モードであるか、を判別する (S110)。そして、モノクロ読取モードであると判断すると、CPU 13 は、CCD 制御部 19 を介して切替信号を CCD イメ

ージセンサ 3 に入力し、モノクロ CCD イメージセンサ 30 から出力される各チャンネルの画素信号が、アナログフロントエンド IC 5 の各チャンネルに入力されるようにする (S 120)。そして、モノクロ読取処理を実行する (S 125) ことにより、モノクロ CCD イメージセンサ 30 を制御して動作させる。

【0039】

具体的に、CCD 制御部 19 は、シフトレジスタ 35～37 を動作させるための転送信号を、モノクロ CCD イメージセンサ 30 に入力することにより上記シフトレジスタ 35～37 の転送動作を制御して、主走査方向に画像を読み取る。また更に、CPU 13 は、図示しない原稿送り機構あるいは読取ユニットを動作させるためのモータ制御部を介して、原稿あるいは、CCD イメージセンサ 3 を副走査方向に相対的に移動させて、二次元的に画像を読み取る。

【0040】

一方 S 110 において、今回の画像読取モードがカラー読取モードであると判断すると、CPU 13 は、CCD 制御部 19 を介して、切替信号を CCD イメージセンサ 3 に入力し、カラー CCD イメージセンサ 27 から出力される各チャンネルの画素信号（換言すると各色の画素信号）が、アナログフロントエンド IC 5 の各チャンネルに入力されるようにする (S 130)。その後、CCD 制御部 19 を介して、カラー読取処理を実行する (S 135) ことにより、カラー CCD イメージセンサ 27 を動作させ、原稿からカラー画像を読み取る。尚、CCD イメージセンサ 3 の走査方法については、周知であるので、ここでは詳しい説明を省略することにする。

【0041】

上記 CCD 制御部 19 の制御により、画像が読み取られ CCD イメージセンサ 3 の各チャンネルから画素信号が出力されると、アナログフロントエンド IC 5 は、具体的にそれら画素信号を、自身内部で以下のように処理する。尚、図 5 は、アナログフロントエンド IC 5 の内部構成を概略的に表す説明図である。

【0042】

アナログフロントエンド IC 5 は、主に、相関二重サンプリング回路 (CDS) 41～43 と、オフセット調整回路 44～46 と、プログラマブルゲインアン

プ (PGA) 47~49 と、上記マルチプレクサ (MUX) 7 と、上記アナログデジタル変換器 (ADC) 9 と、ADC動作判定部 51 と、インタフェース 53 と、レジスタ部 55 と、を備えている。このアナログフロントエンド IC 5 は 3 つのチャンネルを備えており、上記相関二重サンプリング回路 41~43、オフセット調整回路 44~46、及びプログラマブルゲインアンプ 47~49 は、各チャンネル毎に備えられている。

【0043】

相関二重サンプリング回路 41~43 は、CCD イメージセンサ 3 から取得した画素信号からノイズや誤差の発生源となる成分等を除去するために設けられており、各チャンネル (CH1, CH2, CH3) の入力端に接続されている。この相関二重サンプリング回路 41~43 は、周知のように、CCD イメージセンサ 3 から出力される画素信号を時間をずらして二度サンプリングすることによって、シフトレジスタのクロックが L (ロウ) 信号から H (ハイ) 信号に切り替わる時に電荷のチャージが原因で発生する誤差電圧を除去する。この除去後の画素信号は、オフセット調整回路 44~46 に入力される。

【0044】

オフセット調整回路 44~46 は、デジタルアナログ変換器 (DAC) 44a, 45a, 46a と、加算器 44b, 45b, 46b と、を備えており、各チャンネル (CH1, CH2, CH3) の入力信号に対してオフセット電圧を加える構成にされている。レジスタ部 55 が備えるオフセットレジスタ 57 には、オフセット調整回路 44~46 により付加されるオフセット電圧を表すオフセット設定値が、チャンネル毎に記憶されており、各チャンネルのオフセット調整回路 44~46 は、オフセットレジスタ 57 に記憶された各自のオフセット設定値に対応するオフセット電圧を、相関二重サンプリング回路 41~43 から伝送されてきた画素信号に加えて、そのオフセット電圧付加後の画素信号を、対応するチャンネルのプログラマブルゲインアンプ 47~49 に入力する。

【0045】

プログラマブルゲインアンプ 47~49 は、入力信号に対しての利得を調整可能な周知のアナログアンプであり、各オフセット調整回路 44~46 の下流側に

設けられている。レジスタ部 55 が備えるゲインレジスタ 58 には、プログラマブルゲインアンプ 47～49 に設定される利得を表す利得設定値がチャンネル毎に記憶されており、各チャンネルのプログラマブルゲインアンプ 47～49 は、ゲインレジスタ 58 に記憶された各自の利得設定値に従った利得で、オフセット調整回路 44～46 を介して CCD イメージセンサ 3 から入力された対応チャンネルの画素信号を増幅し、増幅後の画素信号をマルチプレクサ 7 に入力する。尚、以下では、プログラマブルゲインアンプを、単に「アンプ」と表現することにする。

【0046】

マルチプレクサ 7 は、3つの入力チャンネルと、一つの出力チャンネルと、を備えており、各入力チャンネルは、対応するアンプ 47～49 の出力端に接続され、出力チャンネルはアナログデジタル変換器 9 に接続されている。このマルチプレクサ 7 は、レジスタ 59 の設定値に従うパターンで、3つのアンプ 47～49 からの入力信号のいずれかを選択して出力する構成にされており、各アンプ 47～49 により増幅された画素信号を、順次アナログデジタル変換器 9 に入力する。

【0047】

アナログデジタル変換器 9 は、マルチプレクサ 7 から出力されたアナログの画素信号を、デジタル信号（画素データ）に変換して出力する。尚、アナログデジタル変換器 9 の出力端は、データサンプリング制御部 11 に接続されている。

また、ADC 動作判定部 51 は、アナログデジタル変換器 9 の出力信号が適正であるか否かを AFE 制御部 21 で監視するためのものである。この ADC 動作判定部 51 は、アナログデジタル変換器 9 の出力状態を表す信号を AFE 制御部 21 に入力する構成にされている。その他、インタフェース 53 は、AFE 制御部 21 などの外部装置からレジスタ部 55 に各種データを書き込むためのものである。

【0048】

続いて、AFE 制御部 21 を介して実行される処理について図 6 を用いて説明する。尚、図 6 は、CPU 13 の制御の下に、AFE 制御部 21 を介して実行される変更処理を表すフローチャートである。

AFE 制御部 21 は、アナログフロントエンド IC 5 に対して各種設定を施し

オフセット調整や利得調整を行うためのものである。CPU13は、読取指令信号を受けると、このAFE制御部21を介して図6に示す変更処理を実行する。

【0049】

処理を実行すると、CPU13は、まずS200にて、読取指令信号と共に送信されてきたモード選択情報に従い、今回の画像読取モードが、モノクロ読取モードか、カラー読取モードか、を判別し、モノクロ読取モードであると判断すると、S210にて、モノクロ読取モード用の基本設定を行う。この際、CPU13は、AFE制御部21を介して、マルチプレクサ7の動作パターンなど、モノクロCCDイメージセンサ30から出力される画素信号のパターンに応じて、適切にアナログフロントエンドIC5内の各部を動作させるために必要な初期設定をアナログフロントエンドIC5に対して施す。

【0050】

この後、CPU13は、第一チャネル(CH1)を調整対象チャネルとして選択して(S220)、調整処理を実行し(S230)、第一チャネル(CH1)に関するオフセット及び利得調整を行う。

図7は、CPU13の制御の下にAFE制御部21を介して実行される調整処理を表すフローチャートである。調整処理を実行すると、CPU13は、AFE制御部21を介し、モノクロCCDイメージセンサ30から伝送されてくるテスト信号を用いて、第一チャネル(CH1)のオフセット調整回路44に設定されたオフセット電圧が適正值であるか否か判断する(S411)。

【0051】

具体的に説明すると、CPU13は、AFE制御部21を介し、ADC動作判定部51からの出力信号に基づいて、テスト信号に基づくアナログデジタル変換器9の出力が負値であるかどうか判断する。そして、負値であると、CPU13は、オフセット電圧が適正值でないと判断して(S411でNo)、オフセットレジスタ57に記憶された第一チャネル(CH1)のオフセット設定値をAFE制御部21を介して変更し(S413)、この後に再び、S411でアナログデジタル変換器9の出力が負値かどうか判断する。そして、負値でなければ(即ち正值であれば)、オフセット電圧が適正值であるとして、S411でYes判断

する。

【0052】

S411でYesと判断すると、CPU13は、S415に処理を移し、モノクロCCDイメージセンサ30から送信されてくるテスト信号を用いて、第一チャンネル(CH1)のアンプ47に設定された利得が適正值であるか否か判断する。

【0053】

この際、CPU13は、AFE制御部21を介し、ADC動作判定部51からの出力信号に基づいて、テスト信号に基づくアナログデジタル変換器9の出力が、アナログデジタル変換器9の最大出力より一定度下回っているか否か判断し、下回っていなければ、利得が不適切であると判断して(S415でNo)、S417でゲインレジスタ58に記憶された第一チャンネル(CH1)の利得設定値を変更する。

【0054】

また、CPU13は、処理をS415に戻して上記判断を行い、アナログデジタル変換器9の出力が、最大出力より一定度下回っていれば、第一チャンネル(CH1)に対して設定された利得が適正值であると判断して(S415でYes)、当該調整処理を終了する。

【0055】

その後、CPU13は、AFE制御部21を介して、オフセットレジスタ57及びゲインレジスタ58における第二チャンネル(CH2)及び第三チャンネル(CH3)のオフセット設定値及び利得設定値を、第一チャンネル(CH1)のオフセット設定値及び利得設定値と同一の値に変更することにより(S240)、第一チャンネル(CH1)のオフセット調整回路44及びアンプ47に対して設定した上記オフセット電圧及び利得と同一のオフセット電圧及び利得を、第二チャンネル(CH2)及び第三チャンネル(CH3)のオフセット調整回路45、46及びアンプ48、49に対して設定し、当該変更処理を終了する。

【0056】

一方、CPU13は、S200にてカラー読取モードであると判断すると、S

310にて、カラー読取モード用の基本設定を行う。この際、CPU13は、AFE制御部21を介し、マルチプレクサ7の動作パターンなど、カラーCCDイメージセンサ27から出力される画素信号のパターンに応じて、適切にアナログフロントエンドIC5内の各部を動作させるために必要な初期設定をアナログフロントエンドIC5に対して施す。

【0057】

この後、CPU13は、第一チャネル(CH1)を調整対象チャネルに選択して(S320)、上記調整処理を実行し(S330)、上記S411からS417までの処理を実行することにより、カラーCCDイメージセンサ27からのテスト信号を用いて、第一チャネル(CH1)のオフセット電圧及び利得をAFE制御部21を介して適正值に調整する。

【0058】

この調整処理によって第一チャネル(CH1)に対するオフセット電圧及び利得の調整が終了すると、CPU13は、処理をS340に移して、第二チャネル(CH2)を調整対象チャネルとして選択し、続くS350にて調整処理を実行する。

【0059】

調整処理を実行すると、CPU13は、上記テスト信号を用いて、第二チャネル(CH2)のオフセット調整回路45に設定されたオフセット電圧が適正值であるか否かを、AFE制御部21を介して判断する(S411)。そして、オフセット電圧が適正值でないと判断すると(S411でNo)、オフセットレジスタ57に設定されている第二チャネル(CH2)のオフセット設定値を変更し、この後に、再び、S411でオフセット電圧が適正值であるか否か判断する。

【0060】

そして、オフセット電圧が適正值であると判断すると(S411でYes)、CPU13は、S415に処理を移し、上記テスト信号を用いて、第二チャネル(CH2)のアンプ48に対して設定された利得が適正值であるか否かをAFE制御部21を介して判断する。ここで、利得が適正值でないと判断すると(S415でNo)、AFE制御部21は、ゲインレジスタ58に記憶されている第二

チャンネル (CH2) の利得設定値を変更し (S417)、この後に、再び利得が適正值であるか否か判断する。そして、適正值であると判断すると (S415で Yes)、当該調整処理を終了する。

【0061】

この調整処理によって第二チャンネル (CH2) に対するオフセット電圧及び利得の調整が終了すると、CPU13は、処理をS360に移し、第三チャンネル (CH3) を調整対象チャンネルとして選択し、続くS370にて調整処理を実行する。

【0062】

調整処理を実行すると、CPU13は、S411で、第三チャンネル (CH3) のオフセット調整回路46に設定されているオフセット電圧が適正值であるか否かをAFE制御部21を介して判断する。そして、オフセット電圧が適正值でないと判断すると (S411でNo)、オフセットレジスタ57に記憶されている第三チャンネル (CH3) のオフセット設定値を変更し、再び、S411でオフセット電圧が適正值であるか否か判断する。

【0063】

そして、適正值であると判断すると (S411でYes)、CPU13は、第三チャンネル (CH3) のアンプ49に対して設定されている利得が適正值であるか否かをAFE制御部21を介して判断する (S415)。ここで、利得が適正值でないと判断すると (S415でNo)、CPU13はAFE制御部21を介して、ゲインレジスタ58に記憶されている第三チャンネル (CH3) の利得設定値を変更し (S417)、再び、S415で利得が適正值であるか否か判断する。そして、適正值であると判断すると (S415でYes)、当該調整処理を終了し、同時に変更処理を終了する。

【0064】

尚、上記調整処理に際しては、ADC動作判定部51からの出力信号に基づいて判断処理を行うようにしているが、AFE制御部21を介して、アナログデジタル変換器9の出力をCPU13で直接判断することにより、オフセット電圧及び利得を適切な値に設定するようにしてもよいことは勿論である。

【0065】

以上、本実施例の画像読取装置 1 について説明したが、画像読取装置 1 によれば、アナログ入力信号に対して利得調整可能なチャンネル毎のアンプ 47～49 と、アナログ入力信号をデジタル信号に変換して出力するアナログデジタル変換器 9 と、各アンプ 47～49 により増幅された信号を、順次アナログデジタル変換器 9 に入力するマルチプレクサ 7 と、が内蔵された三つのチャンネルを備えるアナログフロントエンド IC 5、を設けて、CCD イメージセンサ 3 から出力される各チャンネルの画素信号を、アナログフロントエンド IC 5 に入力し、画素データに変換するようにしたので、CCD イメージセンサ 3 が出力する画素信号を画素データに変換するまでの回路をコンパクトにすることができ、回路の設置場所に関する自由度を向上させることができる。

【0066】

また、回路の配線長さを抑制することができるので、外来ノイズに耐性の有る画像読取装置 1 を製造することができる。特に、CCD イメージセンサ 3 の基板上に、アナログフロントエンド IC 5 を実装すれば、上記効果が一層発揮される。この他、本実施例によれば、既存のアナログフロントエンド IC を用いることができるので、製品を安価に製造することができる。

【0067】

また、本実施例の画像読取装置 1 では、カラー CCD イメージセンサ 27 及びモノクロ CCD イメージセンサ 30 に対して、共通のアナログフロントエンド IC 5 を設け、カラー CCD イメージセンサ 27 の動作時には、モノクロ CCD イメージセンサ 30 から出力される画素信号に替えて、カラー CCD イメージセンサ 27 から出力される各色の画素信号を、アナログフロントエンド IC 5 内の各色に対応するチャンネルのアンプ 47～49 に入力する構成としたから、部品点数や回路構成を簡素化することができ、結果的に製品を安価に製造することができる。

【0068】

この他、本実施例の画像読取装置 1 では、モノクロ CCD イメージセンサ 30 及びカラー CCD イメージセンサ 27 の夫々の動作時に、AFE 制御部 21 を介

して、変更処理を実行し、アナログフロントエンド IC 5 内の各アンプ 47～49 のオフセット調整及び利得調整を行うようにしたから、モノクロ CCD イメージセンサ 30 及びカラー CCD イメージセンサ 27 の夫々からの画素信号を適切に増幅することができる。つまり、CCD イメージセンサ 3 からの出力信号を、アナログフロントエンド IC 5 の性能をフル活用して増幅することができる。この結果、本実施例の画像読取装置 1 によれば、画像読取の精度を高めることができる。

【0069】

尚、モノクロ CCD イメージセンサ 30 動作時には、各チャネルのアンプ 47～49 に対して夫々の利得を調整するメリットが少ないことから、本実施例の画像読取装置 1 においては、モノクロ CCD イメージセンサ 30 の動作時に、AFE 制御部 21 を介する変更処理にて、第一チャネルのアンプ 47 の利得を調整した後、その利得を、第二チャネル及び第三チャネルのアンプ 48, 49 に設定するようにしている。従って、本実施例の画像読取装置 1 によれば、モノクロ CCD イメージセンサ 30 の動作時に利得調整を高速に行うことができる。このような装置構成によって得られる効果は、オフセット調整に対しても同様のことが言える。

【0070】

また、上記実施例では詳細に説明しなかったが、上記利得調整及びオフセット調整の際に用いられるテスト信号としては、CCD イメージセンサ 3 からの受光信号の内、最初に送られてくる有効画素成分ではない受光信号を用いることが考えられる。

【0071】

さて、上記実施例では、画像の読取指令信号が入力される度に、AFE 制御部 21 を介してオフセット調整及び利得調整を行うようにしたが、モノクロ CCD イメージセンサ 30 動作時及びカラー CCD イメージセンサ 27 動作時に設定すべきオフセット電圧及び利得に関する初期設定値を、EEPROM 24 に予め登録しておき、これを動作モードにしたがって選択的に読み出させることによって、アナログフロントエンド IC 5 のオフセット電圧及び利得を、モノクロ用及び

カラー用のいずれかに切り替えるようにすることも可能である。

【0072】

以下では、この変形例の変更処理について図8及び図9を用いて説明することにする。尚、図8は、読取指令信号が入力されるとAFE制御部21を介してCPU13が実行する変形例の変更処理を表すフローチャートである。また図9は、変形例の画像読取装置において、EEPROM24に記憶されている初期設定値のデータ構成を表す説明図である。以下では、上記実施例と共通する構成についての説明を省略し、変形例で特徴的な構成のみを採り上げて説明することにする。

【0073】

変形例の画像読取装置1におけるEEPROM24には、モノクロCCDイメージセンサ30動作時に設定すべきオフセット電圧及び利得に関する初期設定値として、予め定められたモノクロ用の設定値（以下、「モノクロ設定値」と表現する。）が記憶されている。また更に、EEPROM24には、カラーCCDイメージセンサ27動作時に設定すべきオフセット電圧及び利得に関する初期設定値として、予め定められたカラー用の設定値（以下、「カラー設定値」と表現する。）が記憶されている。尚、EEPROM24は、各チャネルのオフセット調整回路44～46及びアンプ47～49に対して共通の設定値を、上記モノクロ設定値として記憶している。またカラー設定値は、各チャネルに対応する設定値を備えている。

【0074】

CPU13は、読取指令信号が入力されて図8に示す変更処理を実行すると、まずS500にて、読取指令信号と共に送信されてくるモード選択情報に従いモード判別する。そして、今回の読取指令がモノクロ読取モードでの読取指令であると判断すると、処理をS510に移行し、モノクロ読取モード基本設定を行い、更に、S520にて、EEPROM24に記憶されているモノクロ設定値を読み出して取得する。

【0075】

この読出後、CPU13は、AFE制御部21を介して、オフセットレジスタ

57の第一チャネル（CH1）に関するオフセット設定値、及び、ゲインレジスタ58の第一チャネル（CH1）に関する利得設定値を、読み出したモノクロ設定値に書き換えて変更することにより、オフセット調整回路44のオフセット電圧及び、アンプ47の利得を読み出したモノクロ設定値に変更する（S530）。

【0076】

その後、CPU13は、AFE制御部21を介して、オフセットレジスタ57の第二及び第三チャネル（CH2，CH3）に関するオフセット設定値、及び、ゲインレジスタ58の第二及び第三チャネルに関する利得設定値を、読み出したモノクロ設定値に変更する（S540）ことにより、全チャネルのオフセット電圧及び利得を共通にし、当該変更処理を終了する。

【0077】

一方、CPU13は、S500にて今回の読取指令がカラー読取モードでの読取指令であると判断すると、処理をS610に移し、カラー読取モード基本設定を行い、更に、S620にて、EEPROM24内に記憶されているカラー設定値を読み出して取得する。

【0078】

この読出後、CPU13は、AFE制御部21を介して、オフセットレジスタ57の第一チャネル（CH1）に関するオフセット設定値、及び、ゲインレジスタ58の第一チャネル（CH1）に関する利得設定値を、読み出したカラー設定値に含まれる第一チャネルの設定値に書き換えて変更することにより、オフセット調整回路44のオフセット電圧及び、アンプ47の利得を読み出したカラー設定値に変更する（S630）。

【0079】

同様に、CPU13は、AFE制御部21を介して、オフセットレジスタ57の第二チャネル（CH2）に関するオフセット設定値、及び、ゲインレジスタ58の第二チャネル（CH2）に関する利得設定値を、読み出したカラー設定値に含まれる第二チャネルの設定値に書き換えて変更（S640）する。更に、CPU13は、AFE制御部21を介して、オフセットレジスタ57の第三チャネル

(CH3)に関するオフセット設定値、及び、ゲインレジスタ58の第三チャネル(CH3)に関する利得設定値を、読み出したカラー設定値に含まれる第三チャネルの設定値に書き換えて変更する(S650)。

【0080】

以上、変形例の変更処理について説明したが、変形例の画像読取装置1によれば、CPU13が、AFE制御部21を介し、変更処理にて、モノクロCCDイメージセンサ30の動作時に、各アンプ47～49の利得を、予め定められたモノクロ用の利得に設定し、カラーCCDイメージセンサ27の動作時に、各アンプ47～49の利得を、予め定められたカラー用の利得に設定するから、各CCDイメージセンサ27, 30からの画素信号を、アナログフロントエンドIC5内で適切に増幅することができる。また、画像読取の度に利得調整する上記実施例よりも高速にオフセット電圧及び利得を変更することができる。

【0081】

尚、本発明における受光信号は、本実施例において画素信号に相当する。また、本発明の利得変更手段は、CPU13がAFE制御部21を介して実行する変更処理(図6, 図8)にて実現されている。

以上、本発明の実施例について説明したが、本発明の画像読取装置は、上記実施例に限定されるものではなく、種々の態様を採ることができる。

【0082】

上記実施例では、図5に示した構成のアナログフロントエンドIC5を用いて画像読取装置1を構成したが、アナログフロントエンドICとしては様々な類似する構成が考えられるから、最低限アナログアンプとアナログデジタル変換器とマルチプレクサを内蔵し三以上のチャネルを備えるアナログフロントエンドICであれば、その他の構成のアナログフロントエンドICを用いても構わない。

【図面の簡単な説明】

【図1】 本実施例の画像読取装置1の構成を表す概略ブロック図である。

【図2】 CCDイメージセンサ3の概略構成を表す説明図である。

【図3】 モノクロCCDイメージセンサ30の概略構成を表す説明図である。

。

【図 4】 CPU 13 が CCD 制御部 19 を介して実行する読取制御処理を表すフローチャートである。

【図 5】 アナログフロントエンド IC 5 内の構成を表す概略ブロック図である。

【図 6】 CPU 13 が AFE 制御部 21 を介して実行する変更処理を表すフローチャートである。

【図 7】 CPU 13 が AFE 制御部 21 を介して実行する調整処理を表すフローチャートである。

【図 8】 CPU 13 が AFE 制御部 21 を介して実行する変形例の変更処理を表すフローチャートである。

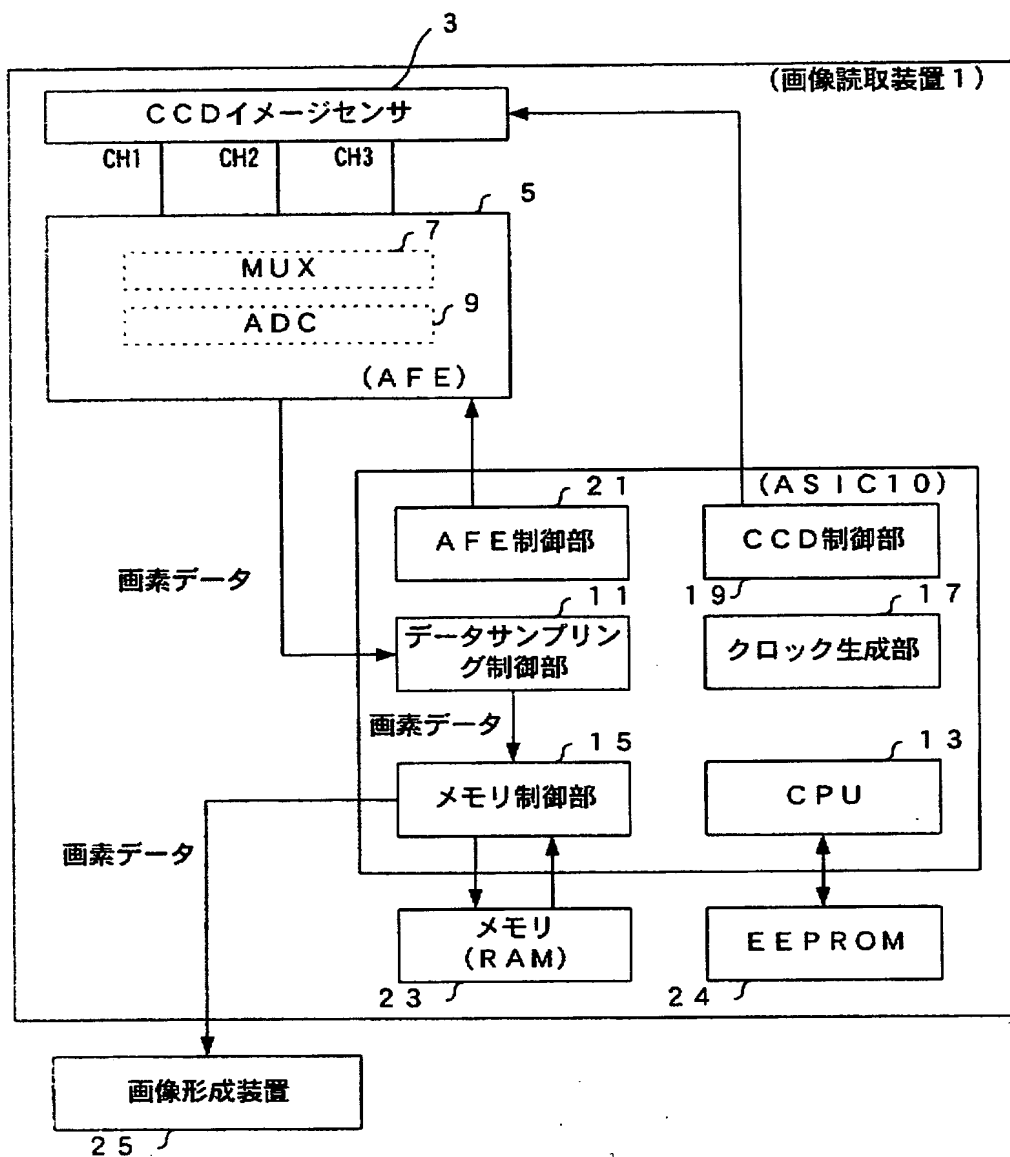
【図 9】 EEPROM 24 に記憶された設定値のデータ構成を表す説明図である。

【符号の説明】

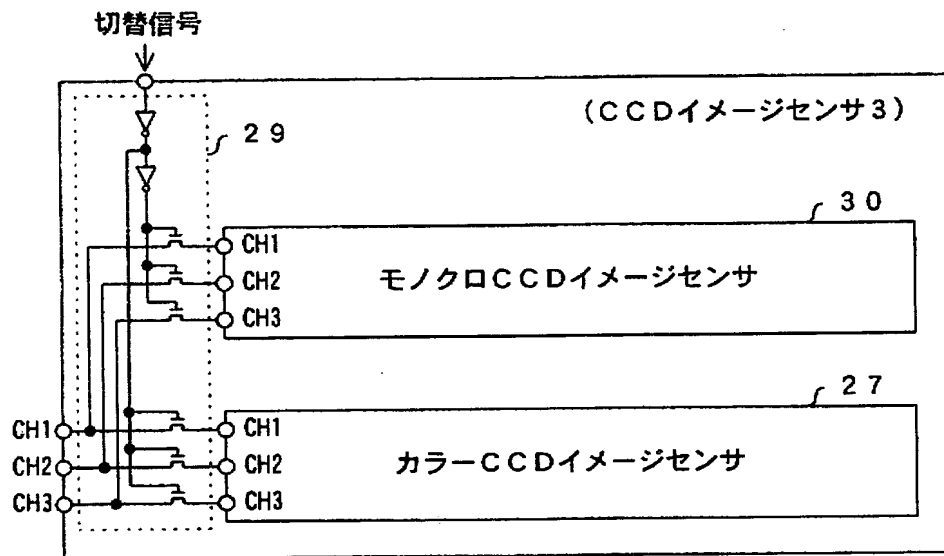
1…画像読取装置、3…CCDイメージセンサ、5…アナログフロントエンド IC、7…マルチプレクサ、9…アナログデジタル変換器、11…データサンプリング制御部、13…CPU、15…メモリ制御部、17…クロック生成部、19…CCD制御部、21…AFE制御部、23…メモリ、24…EEPROM、25…画像形成装置、27…カラーCCDイメージセンサ、29…切替回路、30…モノクロCCDイメージセンサ、31…第一センサ、32, 34a, 34b…受光素子、33…第二センサ、35…第一シフトレジスタ、36…第二シフトレジスタ、37…第三シフトレジスタ、41～43…相関二重サンプリング回路、44～46…オフセット調整回路、47～49…プログラマブルゲインアンプ、51…ADC動作判定部、55…レジスタ部、57…オフセットレジスタ、58…ゲインレジスタ

【書類名】 図面

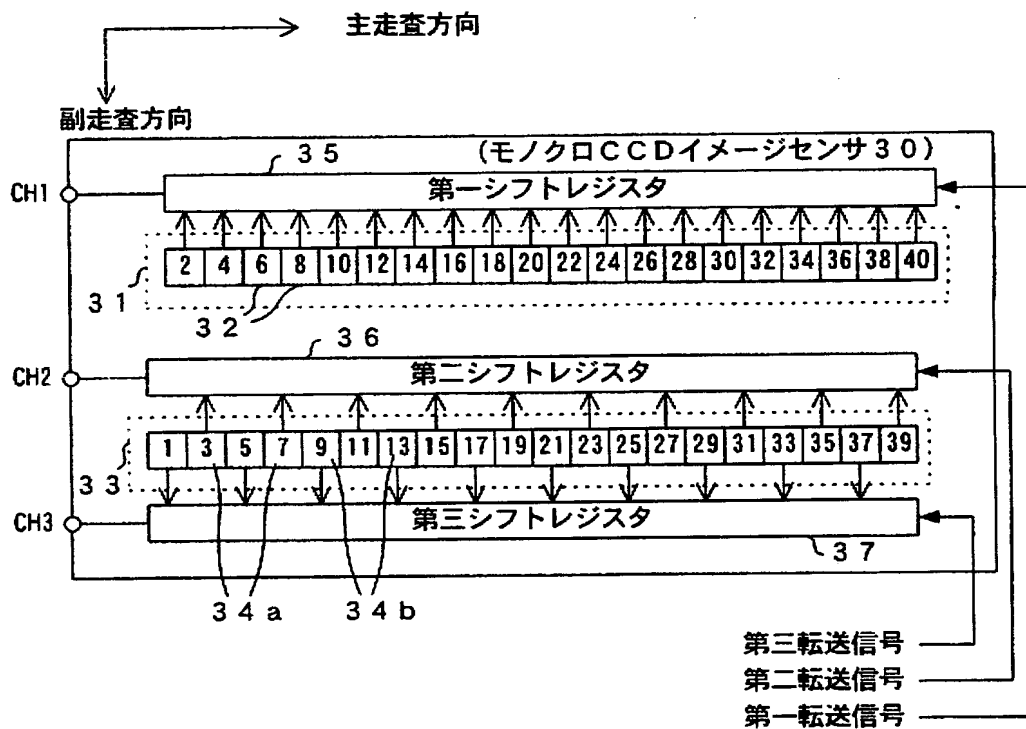
【図 1】



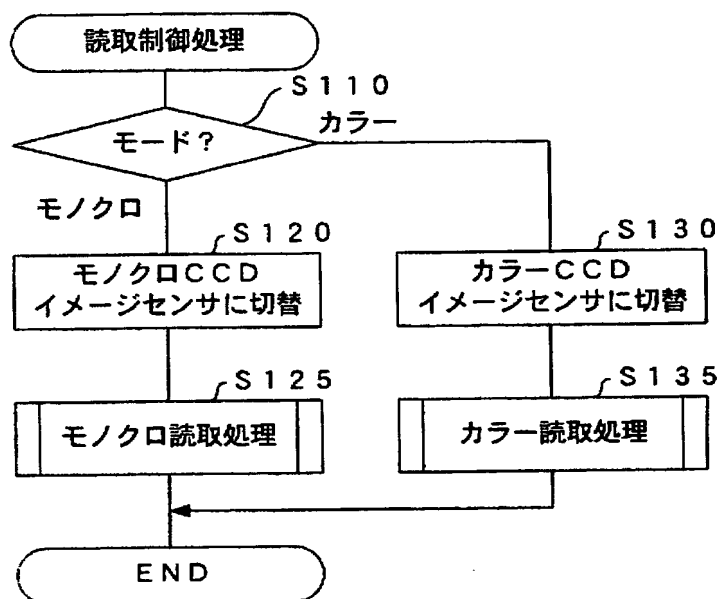
【図 2】



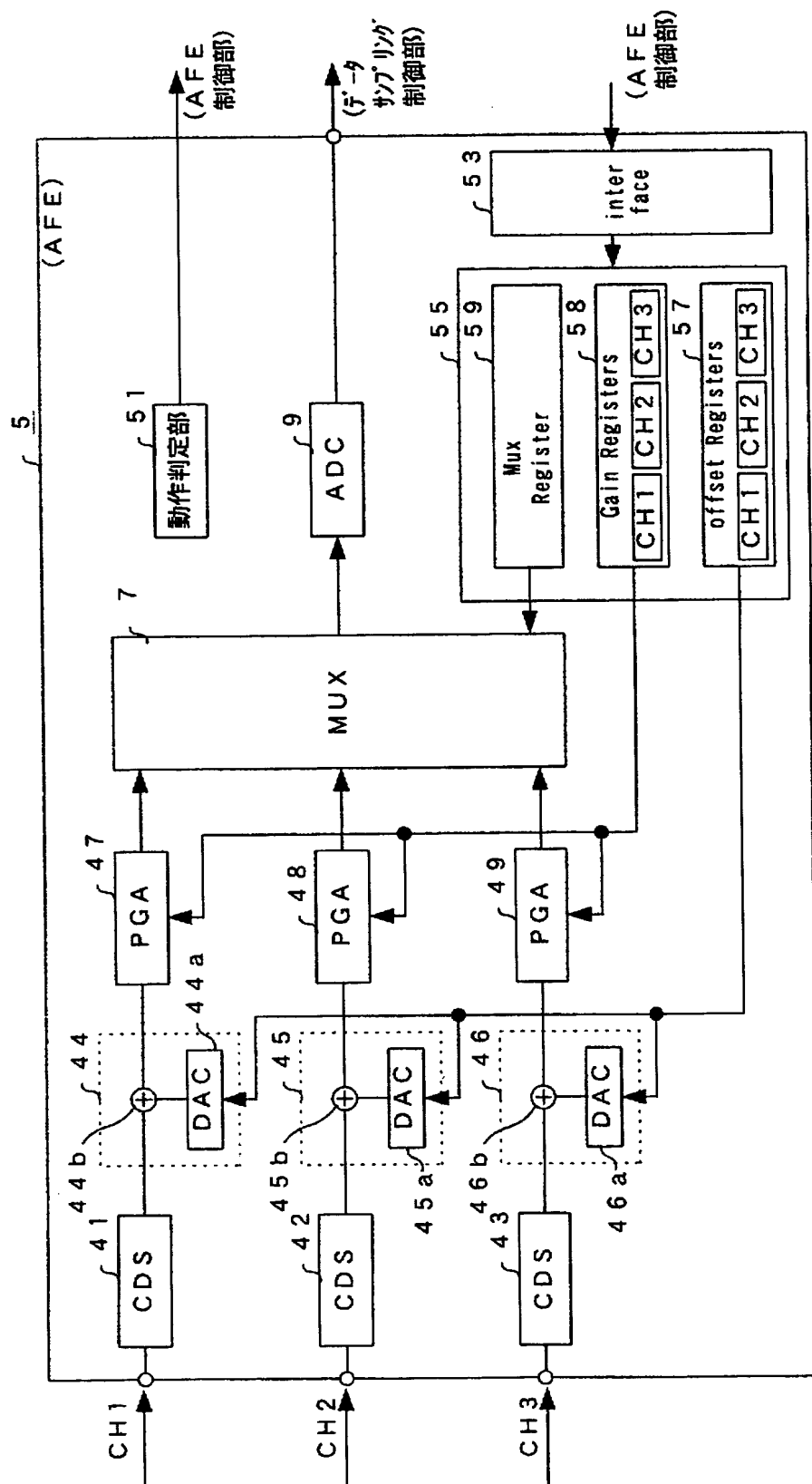
【図 3】



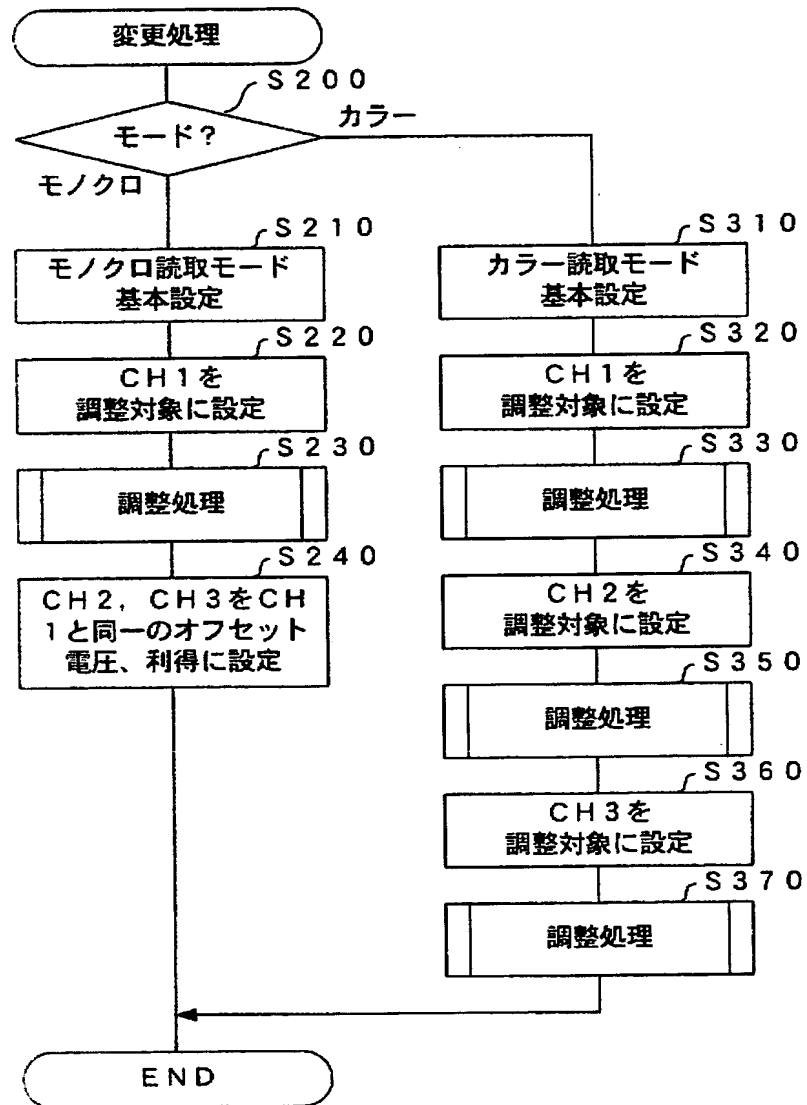
【図 4】



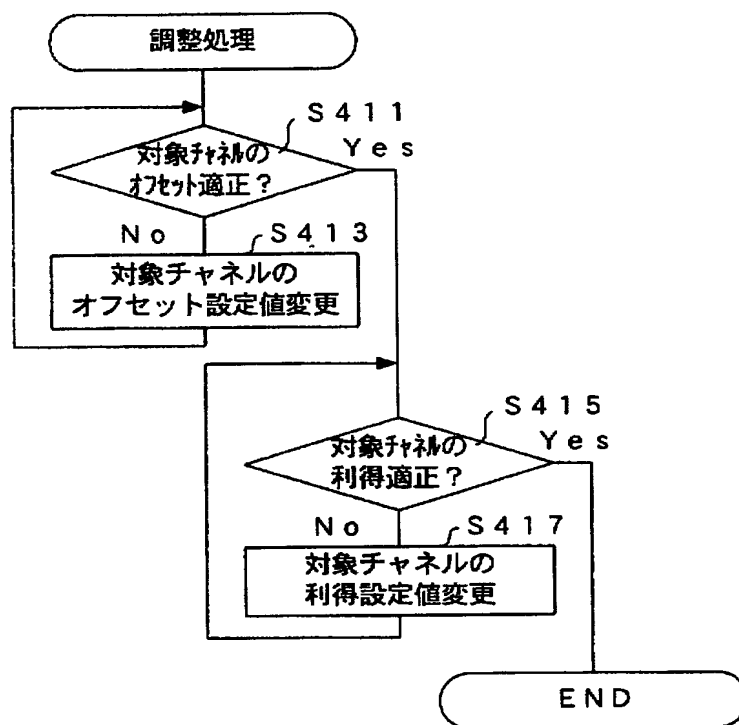
【図 5】



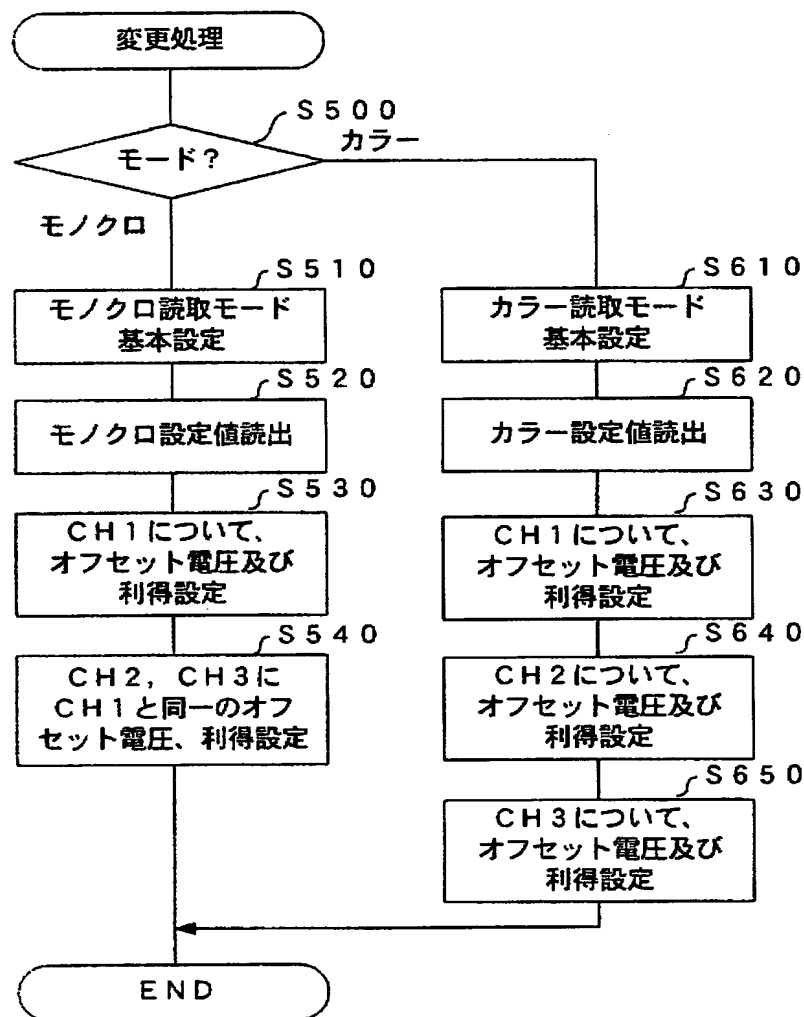
【図 6】



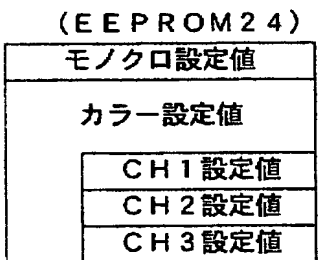
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 三つのシフトレジスタを備えるモノクロイメージセンサを用いて画像を読み取る画像読取装置において、装置の製造コストを抑えると共に、外来ノイズによる装置への影響を抑える。

【解決手段】 画像読取装置は、利得調整可能なチャンネル毎のプログラマブルゲインアンプ（PGA）47～49と、アナログデジタル変換器（ADC）9と、各PGAにより増幅された信号を、順次アナログデジタル変換器9に入力するマルチプレクサ（MUX）7と、が内蔵された三つのチャンネルを備えるアナログフロントエンドIC5を一つ備える。画像読取装置は、モノクロイメージセンサ又はカラーイメージセンサの各チャンネルから出力される画素信号を、対応するPGAに入力することにより増幅し、その後の画素信号をアナログデジタル変換器9で画素データに変換する。

【選択図】 図5

特願 2 0 0 2 - 1 9 0 1 0 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 6 7]

1 . 変更年月日

1 9 9 0 年 1 1 月 5 日

[変更理由]

住所変更

住 所

愛知県名古屋市瑞穂区苗代町 1 5 番 1 号

氏 名

ブラザー工業株式会社